

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-191615
 (43)Date of publication of application : 09.07.1992

(51)Int.CI.

G01D 5/36

(21)Application number : 02-321079

(71)Applicant : FANUC LTD

(22)Date of filing : 27.11.1990

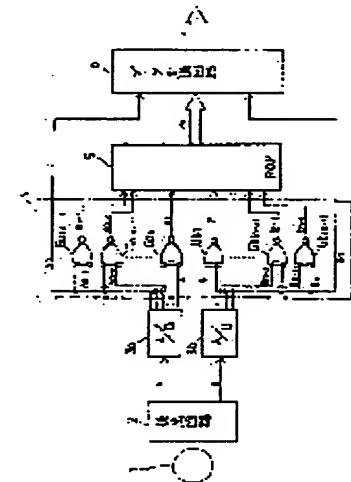
(72)Inventor : TANIGUCHI MITSUYUKI

(54) INTERPOLATION CIRCUIT OF ENCODER

(57)Abstract:

PURPOSE: To enhance resolving power without increasing the capacity of a memory by converting the interpolation position data read from the memory into the interpolation position data within one cycle of a sine wave signal.

CONSTITUTION: Interpolation position data is stored in an ROM 5 using the values of the digital signals of the A-phase and B-phase of the first quadrant as addresses. When the digital values due to the outputs of A/D converters 3a, 3b are within the second quadrant, the value obtained by subtracting the data read from p is outputted as interpolation position data in a data converting circuit 6. When said values are within the third quadrant, the read data is added to p to be outputted as an interpolation position and, when the values are within the fourth quadrant, the value obtained by subtracting the data read from 2p is outputted as an interpolation position. By this constitution, the resolving power of the interpolation position data within one cycle of the sine wave of an encoder can be enhanced without increasing the capacity of a memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平4-191615

⑬ Int. Cl. 5
G 01 D 5/36

識別記号 庁内整理番号
Q 7617-2F

⑭ 公開 平成4年(1992)7月9日

審査請求 未請求 請求項の数 4 (全8頁)

⑮ 発明の名称 エンコーダの内挿回路

⑯ 特 願 平2-321079
⑰ 出 願 平2(1990)11月27日

⑱ 発明者 谷 口 満 幸 山梨県南都留郡忍野村忍草字古馬場3580番地 フアナツク
株式会社商品開発研究所内

⑲ 出願人 フアナツク株式会社 山梨県南都留郡忍野村忍草字古馬場3580番地

⑳ 代理人 弁理士 竹本 松司 外2名

明細書

1. 発明の名称

エンコーダの内挿回路

2. 特許請求の範囲

(1) 検出回路から出力される90度位相差のあるA相、B相の正弦波信号をそれぞれA/D変換器でデジタル信号に変換し、該A相、B相のデジタル信号をアドレスとして該アドレス位置にデジタル信号に対応する内挿位置データを記憶したメモリより内挿位置を読み出すようにしたエンコーダの内挿回路において、上記メモリに上記正弦波信号の1/4周期分の内挿位置データを記憶し、上記A/D変換器から出力されるデジタル信号を上記1/4周期分の内挿位置データに対するアドレスに変換するアドレス変換回路と、該アドレス変換回路から出力されるアドレス信号によりアドレスが指定されて上記メモリから読み出される内挿位置データを上記正弦波信号の1周期内における内挿位置データに変

換するデータ変換回路とを有することを特徴とするエンコーダの内挿回路。

(2) 上記メモリには上記各デジタル信号の最上位のビットが一方の値をとるときの残りのビットで示される値に対応して内挿位置データを記憶しておき、上記アドレス変換回路はそれぞれのデジタル信号の最上位のビットが上記一方に値をとるときにはデジタル信号の他の残りのビットの値をそのままアドレス信号とし、最上位のビットが他方の値をとるときデジタル信号の他の残りのビットの値を反転させてアドレス信号とする請求項1記載のエンコーダの内挿回路。

(3) 上記アドレス変換回路はA相、B相それぞれに対してデジタル信号のビット数より1つ少ないイクスクルシブノア回路若しくはイクスクルシブオア回路で構成され、A相、B相それぞれのイクスクルシブノア回路若しくはイクスクルシブオア回路にはそれぞれデジタル信号の最上位のビット出力を入力する

と共に他のピット出力をそれぞれ入力し、アドレス信号を出力する請求項1若しくは請求項2記載のエンコーダの内挿回路。

(4) 検出回路から出力される90度位相差のあるA相、B相の正弦波信号をそれぞれA/D変換器でデジタル信号に変換し、該A相、B相のデジタル信号をアドレスとして該アドレス位置にデジタル信号に対応する内挿位置データを記憶したメモリより内挿位置を読み出すようにしたエンコーダの内挿回路において、上記メモリに上記正弦波信号の1/2周期分の内挿位置データを記憶し、上記A/D変換器から出力されるデジタル信号を上記1/2周期分の内挿位置データに対するアドレスに変換するアドレス変換回路と、該アドレス変換回路から出力されるアドレスにより上記メモリから読み出される内挿位置データを上記正弦波信号の1周期内における内挿位置データに変換するデータ変換回路とを有することを特徴とするエンコーダの内挿回

路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、回転軸に取り付けられるロータリ形式のエンコーダや、工作機械のテーブル等の移動体に取り付けられるリニア形式のエンコーダに関する。

従来の技術

光学的若しくは磁気的にコードが付されたコード板を回転軸若しくは移動体に取り付け、該コード板のコードを検出する検出回路を設け、上記回転軸、移動体が移動することによって上記検出回路から発生する90度位相差のあるA相、B相の正弦波信号より、該正弦波信号内の位置、すなわち内挿位置を検出するものがすでに公知である。

この内挿位置を検出する方法として、上記A相、B相信号をA/D変換器でデジタル信号に変換し、該デジタル信号をアドレスとして、メモリに入力し、該メモリにはこのA相、B相のデジタル値に対応するアドレス位置に正弦波1周期内

- 3 -

を内挿した位置データを記憶させておき、該メモリから読み出されるデータを内挿位置として検出するようにしたものも公知である。

すなわち、90度位相差のあるA相、B相の正弦波信号を、例えばA相正弦波信号を横軸に取り、B相正弦波信号を縦軸に取り、リサジュー图形を描かせると円となる。そのため、該A相、B相正弦波信号をデジタル信号に変換し、このA相、B相のデジタル信号の値により、正弦波1周期内を内挿した内挿位置を得ることができ、A相、B相のデジタル信号の値に対応してメモリに内挿位置を記憶させておけば、A/D変換器から出力される値をメモリのアドレスとして入力することによって内挿位置を得ることができるものである。

発明が解決しようとする課題

しかし、上記A/D変換器の分解能を増して、内挿位置の分解能を向上させようとすると、上記メモリの容量も増大させなければならない。

そこで本発明の目的は、メモリの容量を増大さ

せることなく分解能の高いエンコーダの内挿回路を提供することにある。

課題を解決するための手段

上述したように、A相、B相の正弦波信号の一方を横軸、他方を縦軸に取り、リサジュー图形を描くと円となるが、該、円の中心を原点として座標系を考えると、第2象限のリサジュー图形は横軸の符号を反転すると第1のリサジュー图形と同一である。また、第3象限のリサジュー图形は縦、横軸の符号を反転すると第1象限のリサジュー图形と同一となる。さらに第4象限のリサジュー图形は縦軸の符号を反転すると第1象限のリサジュー图形と同一となる。そのため、本発明は、メモリに上記正弦波信号の1/4周期分（例えば第1象限分）若しくは1/2周期分（例えば第1、第2象限分）の内挿位置データを記憶し、上記A/D変換器から出力されるデジタル信号を上記1/4周期分若しくは1/2周期分の内挿位置データに対するアドレスに変換するアドレス変換回路と、該アドレス変換回路から出力されるアドレス

- 4 -

- 5 -

-120-

- 6 -

により上記メモリから読み出される内挿位置データを上記正弦波信号の1周期内における内挿位置データに変換するデータ変換回路とを設けることによってメモリの容量が少なくて分解能の高いエンコーダの内挿回路を得るようにした。

作用

第2図はA相の正弦波信号の値を横軸、B相の正弦波信号の値を縦軸に取ってリサジュー图形を描いたときの図で、このリサジュー图形の円の中心をOとし、縦軸、横軸で区切られる右上の領域を第1象限、左上領域を第2象限、左下の領域を第3象限、右下の領域を第4象限とすると、A相の正弦波信号の値がQ1でB相の正弦波信号の値がS1であったとき、このA、B相の正弦波信号の値で決まるリサジュー图形上の点P1は正弦波1周期内における角度θを表している。また、A相が値Q1と中心点Oに対して対称の位置の値Q2でB相がS1であるときのリサジュー图形上の位置P2は角度($\pi - \theta$)を表しており、値Q2を値Q1に変換すれば、位置P1の角度θが求

- 7 -

まアドレスとし、また、A相、B相の正弦波信号のディジタル値が第2象限の値を示していれば、A相のディジタル値を第1象限の中心点Oに対して対称のディジタル値をアドレスとし、B相のディジタル値をアドレスとする。さらに、A相、B相の正弦波信号のディジタル値が第3象限の値を示していれば、A相、B相のディジタル値を第1象限の中心点Oに対して対称のディジタル値をそれぞれアドレスとし、A相、B相の正弦波信号のディジタル値が第4象限の値を示していれば、B相のディジタル値を第1象限の中心点Oに対して対称のディジタル値をアドレスとする。そして、このアドレス変換器からの出力でメモリのアドレスを指定して、正弦波1/4周期内の内挿位置データを読みだし、読み出した内挿位置データに対して、データ変換回路で正弦波1周期内の内挿位置データを求め出力する。

データ変換回路では、上述したように、A/D変換器の出力によるディジタル値が第1象限であれば、メモリから読み出したデータを内挿位置と

められ、求められた角度θをπから減ずれば位置P2の角度すなわち、内挿位置が検出される。

また、A相の値がQ2でB相の値が値S1と中心点Oに対して対称の位置の値S2であるときの位置P3は角度($\pi + \theta$)を表しており、値Q2を値Q1に、値S2を値S1に変換すれば、角度θの値が求められ、この値θにπを加算することによって位置P3に対する角度($\theta + \pi$)である内挿位置が求まる。同様に、A相が値Q1でB相の値がS2であるときは、B相の値S2を値S1に変換しθを求め2πよりこのθを減ずれば位置P4、すなわち内挿位置が求められる。

その結果、第1象限の内挿データ、すなわち正弦波1周期の1/4だけのデータをA相、B相の正弦波信号のディジタル値をアドレスとし、このアドレスに対応させて、そのディジタル値で示される角度すなわち内挿位置をメモリに記憶させておき、アドレス変換回路によってA相、B相の正弦波信号のディジタル値が第1象限を示しているときにはこのA相、B相のディジタル値をそのま

- 8 -

して出力し、第2象限であれば、πより読み出したデータを減じた値を内挿位置データとして出力し、第3象限であれば、πに読み出したデータを加算して内挿位置として出力し、第4象限であれば、2πより読み出したデータを減じた値を内挿位置として出力する。

また、メモリに正弦波信号1/2周期分、例えば第1象限、第2象限の内挿位置データを記憶させた場合には、第3、第4象限側にB相(縦軸にとった相)のディジタル値があるときは、このB相の値を対応する第1、第2象限の値に変換し、これをB相のアドレスとし、A相のアドレスは求められたディジタル値としてメモリより内挿位置データを求める。データ変換回路は、アドレス変換回路でB相のアドレスを変換したときのみ、メモリから読み出されたデータを2πから減じた正弦波1周期内の内挿データとして出力し、他の場合は、メモリから読み出されたデータをそのまま内挿位置データとして出力する。

実施例

- 9 -

- 10 -

第1図は本発明の一実施例のブロック図である。

第1図中、1は光学式エンコーダであれば複数のスリットが設けられ回転軸に取り付けられるコード板であり、また磁気式エンコーダであれば磁気コードが設けられているコード板である。また2は上記コード板からコードを検出し、該コード板が回転するにつれて90度位相差のあるA相、B相の正弦波信号を発生する検出回路である。なお、これらコード板、検出回路は従来のエンコーダと同一である。

3a、3bはアナログ信号をデジタル信号に変換するA/D変換器で、A/D変換器3aはA相の正弦波信号をA1～Anのnビットのデジタル値のデジタル信号に、A/D変換器3bはB相の正弦波信号をB1～Bnのnビットのデジタル値のデジタル信号に変換する。また、4はアドレス変換回路で、本実施例ではイクスクルシブノア回路（以下EXノア回路という）G a1～G a(n-1)、G b1～G b(n-1)で構成され、A相側の各EXノア回路G a1～G a(n-1)の一

方の端子にはA相の正弦波信号をデジタル値に変換した最上位のビットAnが入力され、各EXノア回路G a1～G a(n-1)の他方の端子にはそれぞれA1～A(n-1)が入力されアドレス信号a1～a(n-1)を出力するようになっている。また、B相側の各EXノア回路G b1～G b(n-1)の一方の端子にはB相の正弦波信号をデジタル値に変換した最上位のビットBnが入力され、各EXノア回路G b1～G b(n-1)の他方の端子にはそれぞれB1～B(n-1)が入力されアドレス信号b1～b(n-1)を出力するようになっている。

5は内挿位置データを記憶したリードオンリーメモリ（ROM）で、この実施例では正弦波1周期の0度から90度の正弦波1周期の1/4周期分のデータ、すなわち、リサジュー図形の第1象限のデータが記憶されている。そして、アドレス変換器4から出力されるアドレス信号a1～a(n-1)、b1～b(n-1)を入力し、この入力されたアドレス信号に対応するアドレス位置に記憶された内挿位置データP0を出力する。

- 11 -

6はROM5から読み出された内挿位置データP0を正弦波1周期内の内挿位置データPに変換し出力するデータ変換回路である。

次に、説明を分かりやすくするためにA/D変換器3a、3bが正弦波信号を8分割して3ビットのデジタル信号を出力する場合の例を取って以下説明する。

第3図はA相、B相の正弦波信号をA/D変換器3a、3bで分割してデジタル信号A3 A2 A1、B3 B2 B1を得る状態を表した図である。A相正弦波信号が最大値でB相正弦波信号が0のときを内挿位置0として各正弦波信号の振幅を8分割し3ビットのデジタル信号A3 A2 A1、B3 B2 B1としてA/D変換器3a、3bは出力する。

第4図はこのA相のデジタル信号A3 A2 A1を横軸に取り、B相のデジタル信号B3 B2 B1を縦軸にとり、このA相、B相のデジタル信号をアドレスとしたときのROMに記憶させる内挿位置データの関係を説明する図で、例えば、

- 12 -

A相のデジタル信号の値が「111」でB相のデジタル信号の値が「101」であれば、このデジタル信号の値によって示されるアドレス位置d8にそのときの正弦波1周期内の内挿位置データを記憶させておけばよい。しかし、この方式であるとA相が「000」から「111」まで変化し、B相も「000」から「111」まで変化するので、ROMには8×8の64のデータ記憶領域を設けねばならず、ROMの容量が大きくなる。

しかし、A相とB相の正弦波信号は90度位相差があることによりリサジュー図形で円を描くので、第2図に示すように第2、第3、第4象限の内挿位置は第1象限の内挿位置を求める求められた位置に対して補正すれば正弦波1周期内の内挿位置データを得ることができる。すなわち、A相、B相のデジタル信号「000」は「111」と対称の関係にあり、「001」は「110」と、「010」は「101」と、「011」は「100」と対称の関係にある。そのため、A/D変換

- 13 -

- 14 -

器 3 a, 3 b から出力されたデジタル信号 A₃ A₂ A₁, B₃ B₂ B₁ をアドレス変換回路 4 で第 1 象限のアドレス位置「100」から「111」に変換し、ROM 5 から第 1 象限の内挿位置データを読み出しデータ変換回路 6 で正弦波 1 周期内の内挿位置データに変換すればよい。

そこで、ROM 5 には第 1 象限の A 相、B 相のデジタル信号の値「100」～「111」をアドレスとして内挿位置データを記憶することになるが、デジタル信号の最上位のビットの値「1」は意味がないので下位ビット A₂ A₁, B₂ B₁ をアドレス信号 a₂ a₁, b₂ b₁ とする。

そして、この正弦波信号を A/D 変換器 3 a, 3 b で 8 分割する場合のアドレス変換器 4 の構成は第 5 図のようになる。そして、デジタル信号の最上位のビット A₃, B₃ が「1」のときには下位 2 ビットの値がそのままアドレス信号になり、A₂ = a₂, A₁ = a₁, B₂ = b₂, B₁ = b₁、最上位のビット A₃, B₃ が「0」のときには下位 2 ビットの値が反転した値となる。すなわ

ち、デジタル信号 A₃ A₂ A₁, B₃ B₂ B₁ とアドレス信号 a₂ a₁, b₂ b₁ は次の第 1 表のようになる。

第 1 表								
A ₃	0	0	0	0	1	1	1	1
A ₂	0	0	1	1	0	0	1	1
A ₁	0	1	0	1	0	1	0	1
a ₂	1	1	0	0	0	0	1	1
a ₁	1	0	1	0	0	1	0	1

B ₃	0	0	0	0	1	1	1	1
B ₂	0	0	1	1	0	0	1	1
B ₁	0	1	0	1	0	1	0	1
b ₂	1	1	0	0	0	0	1	1
b ₁	1	0	1	0	0	1	0	1

このようにして、アドレス信号 a₂ a₁, b₂ b₁ でアドレスが指定された ROM 5 からは第 1 象限のデータ、すなわち、正弦波 1 周期内の 0 度から 90 度までの内挿位置データ P₁ が読み出される。そして、データ変換回路 6 は、最上位のビ

— 15 —

ット A₃, B₃ の値に応じてデータ変換を行う。すなわち、A₃ = 1, B₃ = 1 のときは読み出したデータ P₁ をそのまま正弦波 1 周期内を内挿する内挿位置データ P₁ として出力する。また、A₃ = 0, B₃ = 1 のときは π から読み出したデータ P₀ を減じて出力内挿位置データ P₁ とする ($P = \pi - P_0$)。A₃ = 0, B₃ = 0 のときは π に読み出したデータ P₁ を加算して出力内挿位置データ P₁ とする ($P = \pi + P_0$)。A₃ = 1, B₃ = 0 のときは 2π から読み出したデータ P₀ を減じて出力内挿位置データ P₁ とする ($P = 2\pi - P_0$)。

なお、本実施例においては上記データ変換回路 6 をプロセッサで構成して上記演算をプロセッサで行うようにしている。

なお上記実施例ではアドレス変換回路を EX ノア回路で構成したが、EX ノア回路に代えてイクスクルシブオア回路を用いてもよい。この場合、アドレス信号 a₂ a₁, b₂ b₁ は反転するが、ROM のアドレスを反転した状態にしておけばよい。

— 16 —

さらに上記実施例では正弦波 1/4 周期の内挿位置データのみを記憶するようにしたが、正弦波 1/2 周期分を記憶させてもよい。この場合、例えば第 1 象限と第 2 象限を記憶させ、デジタル信号 A₃ A₂ A₁ をそのままアドレス信号としデジタル信号 B₃ B₂ B₁ が「100」から「111」までの内挿位置データを記憶させる場合には、デジタル信号 B₃ が「1」のときにはデジタル信号 B₂ B₁ をそのままアドレス信号 b₂ b₁ として出力させ、デジタル信号 B₃ が「0」のときにはデジタル信号 B₂ B₁ をそれぞれ反転させてアドレス信号 b₂ b₁ として出力するようにし、データ変換回路 6 では、デジタル信号 B₃ が「1」のときには ROM 5 から読み出したデータ P₀ を内挿位置データ P₁ として出力し、デジタル信号 B₃ が「0」のときには 2π から読み出したデータ P₁ を減じた値を内挿位置データ P₁ として出力するようにすればよい。

発明の効果

本発明はメモリの容量を増大させずに、エンコ

— 17 —

— 18 —

ーダの正弦波 1 周期内の内挿位置データの分解能を向上させることができ、結局エンコーダの分解能を増大させることができる。

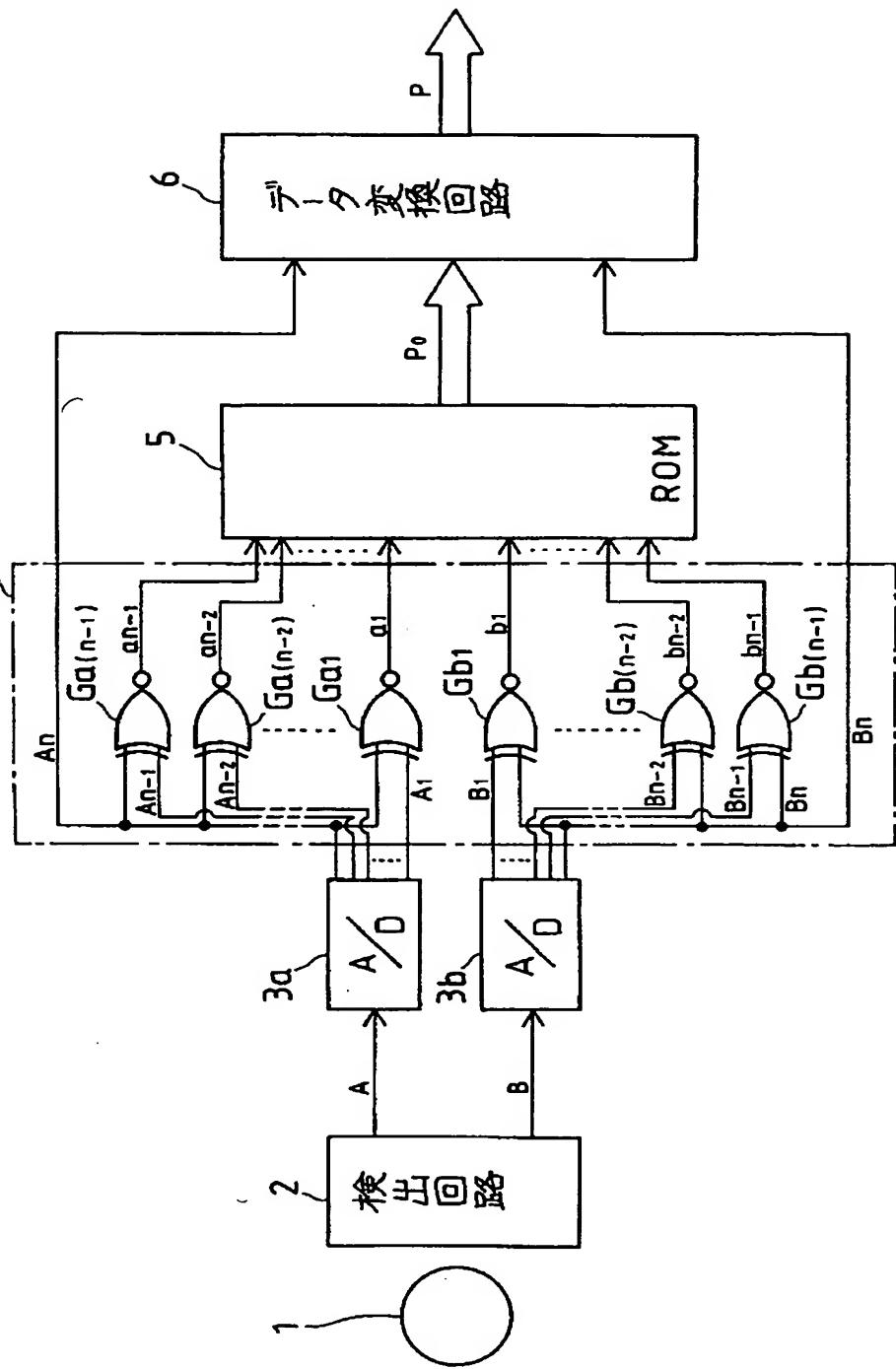
4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は本発明におけるメモリへ記憶させる内挿位置データと正弦波 1 周期内の内挿位置データの関係を説明する図、第3図は本発明の同実施例における一例の正弦波信号を A/D 変換する A/D 変換器の分割を示す図、第4図はメモリに記憶させる内挿位置データの説明図、第5図は同実施例における A/D 変換器の出力が 3 ビットで構成されたときのアドレス変換器の例の回路図である。

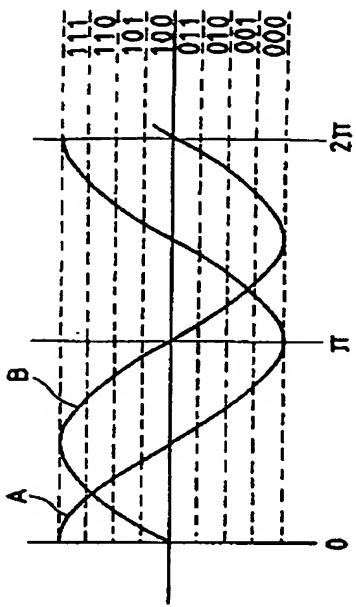
1 … コード板、 2 … 検出回路、
3 a, 3 b … A/D 変換器、 4 … アドレス変換器、
5 … R O M、 6 … データ変換器。

特許出願人 ファナック株式会社
代理 人 弁理士 竹本松司 
(ほか2名)

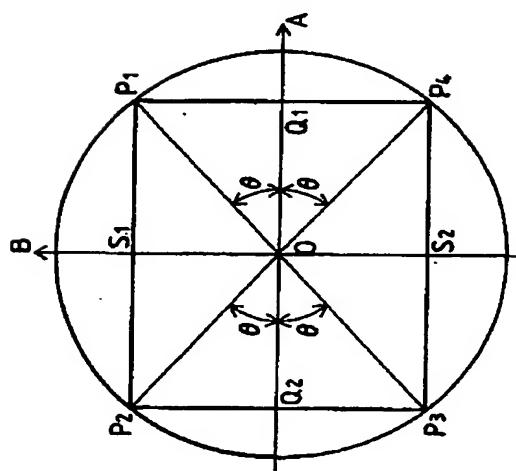
第1図



第 3 図



第 2 図



第 4 図

		a2a1		00 01 10 11			
		d13	d14	d15	d16	11	
B3 B2 B1		d9	d10	d11	d12	10	b2b1
	111						
	110						
	101						
	100						
	011						
	010						
	001						
	000						
		a3a2a1		000 001 010 011 100 101 110 111			
		A					

第 5 図

